

（深圳）

实验报告

开课学期： 2025春季

课程名称：计算机组成原理（实验）

实验名称： AXI4总线接口设计

实验性质： 设计型

实验学时： 4 地点： T2506

学生班级： 7班

学生学号： 2023311709

学生姓名： 宁中昊

作业成绩：

实验与创新实践教育中心制

2025年4月

|  |
| --- |
| 1、设计与实现 |
| 要求：结合关键代码详细描述axi\_master的设计实现，也可结合状态图、流程图、电路框图或时序图等工具辅助描述。 |
| 实现了axi\_master的读地址（AR）和读数据（R）两个通道，写通道在模板中已经提供。  状态转移逻辑与状态图：  在IDLE状态中，优先处理DCache的读请求，将读地址赋值给m\_axi\_raddr，使用is\_dc\_req辅助判断是ICache还是DCache发起的读请求。  在SEND状态中，如果读地址有效且从设备已经准备好，即可将m\_axi\_arvalid信号拉低，进入DATA状态。  读数据通道准备：  在SEND状态中，判断是ICache还是DCache发起的读请求，相应地拉低ic\_dev\_rrdy或dc\_dev\_rrdy信号，为DATA状态读数据做准备，直到DATA状态结束再拉高ic\_dev\_rrdy与dc\_dev\_rrdy信号。  在接收到最后一个数据包后，根据是ICache还是DCache发起的读请求，相应地拉高ic\_dev\_rvalid或dc\_dev\_rvalid信号，表示接收到的信号有效，同时将数据赋值给对应的ic\_dev\_rdata或dc\_dev\_rdata信号。 |

|  |
| --- |
| 2、调试报告 |
| 要求：仿真截图要求包含axi\_master处理ICache和DCache读请求的两种情况，每种情况列举1个测试用例进行详细分析。仿真分析的**思路可参考**指导书实验步骤的仿真波形分析示例，但需**把axi\_master内部的关键信号加入波形并进行相应分析**。 |
| 【280ns】CPU发出取指请求，故inst\_rreq信号为高电平。  【290ns】Cache模块发出读访存请求，故cpu\_ren信号为4'hF，访存地址为32'h0。  【300ns】axi\_master总线模块通过AR通道向下游的从设备发出读地址请求，arvalid信号有效表示当前读地址请求有效，arlen信号为8'h7表示发起长度为8个数据包的猝发传输，arsize信号为3'h2表示数据包大小为32位，arburst信号为2'h1表示地址递增模式。在下一个时钟周期，arready信号有效，表示读请求已被从设备接收。  【330ns】rvalid信号有效，表示从设备开始返回数据给axi\_master模块，往后每个时钟返回一个数据。  【400ns】rlast信号有效，axi\_master接收最后一个数据。  【410ns】axi\_master拉高dev\_rvalid信号，同时把接收完整的256位的数据块返回给Cache模块。 |

|  |
| --- |
| 3、实验总结 |
| 要求：总结实验过程中遇到的有价值的问题及解决方法、收获等。此外，对本课程的实验提出合理的意见和建议（不限于实验4）。 |
| 在实验四中，一开始认为实现逻辑较明晰，因此没有使用状态机，而是直接使用if-else条件控制语句，导致需要不断重复实现条件判断状态转移，导致代码冗余、实现逻辑反而不清晰。因此使用状态机对原本的实现逻辑进行了重构。  在有涉及到状态转移的逻辑时就应直接使用状态机与三段式以简化实现逻辑，这样可以使得条件判断在三段式的第二段状态转移逻辑中提前实现，而在第三段中可以更加专心于输出逻辑的实现，避免思路混乱。  另外关于课程建议，希望实验安排可以放在更早开始。实际上实验中所需的理论内容并不多要求也不高，相对于理论的复习更可以作为理论课的预习，这样可以与理论课将要结课时大二学生众多的课程论文与截止时限错开，大家也可以分出更多的时间和精力在有趣的实验上而非先应付过检查再说。 |